

面向多功能模拟信号处理的开关电流型 可重构模拟电路研究

王友仁,祝鸣涛,任晋华,崔江,林华

(南京航空航天大学自动化学院,江苏南京 210016)

摘要: 现有的离散时间型可重构模拟电路采用开关电容技术,存在功能有限、带宽低、与数字 CMOS 工艺不兼容等问题.本文提出了一种基于电流模取样数据技术的可重构模拟电路,能够与数字 CMOS 工艺技术兼容.设计了细粒度开关电流型可重构模拟单元,设计了面向开关电流型 CAB 互连的可编程网络结构.在 4×2 规模的可重构模拟阵列上,重构实现了三个典型模拟电路应用实例,实验结果证明了所设计开关电流型可重构模拟电路是有效的,能重构实现多种功能的模拟电路.

关键词: 模拟信号处理;可重构模拟电路;开关电流技术;可重构模拟单元;可编程开关网络;多功能电路
中图分类号: TN402 **文献标识码:** A **文章编号:** 0372-2112 (2011) 05-1047-06

Switched-Current Technology Based Reconfigurable Analog Circuit for Multi-Function Analog Signal Processing

WANG You-ren, ZHU Ming-tao, REN Jin-hua, CUI Jiang, LIN Hua

(College of Automation Engineering, Nanjing University of Aeronautics and Astronautics, Nanjing, Jiangsu 210016, China)

Abstract: Conventional discrete time mode reconfigurable analog circuits are designed with the switched capacitor technology, which have the disadvantage of function limitation, lower band pass, and being not compatible with digital CMOS process technology in hybrid integrated circuits. This paper presented a Reconfigurable Analog Circuit (RAC) based on Current Mode Sampled Data Technology (CMSDT), which was fully compatible with the digital CMOS process. The Configurable Analog Block (CAB) based on switched current technology was developed, and the programmable interconnect network structure for the switched current CAB was proposed. Three analog circuits for application examples have been achieved respectively by reconfiguration in the 4×2 reconfigurable analog array. The simulation experimental results show that the designed reconfigurable analog circuit is effective and can realize multi-function analog circuit with reconfiguration.

Key words: analog signal processing; reconfigurable analog circuit; switched current technology; reconfigurable analog block; programmable switches network; multi-function circuit

1 引言

随着电子系统复杂度增大,更多应用领域要求电路具有良好的环境适应能力^[1].可重构电路可以通过改变自身结构来改变电路功能,能够自适应复杂环境下应用需求,在工业自动化、无线传感器网络、通信、传感器系统、智能机器人、航空航天测控系统等领域有广泛的应用前景^[2].

目前数字可重构电路及应用发展迅速^[3],而模拟型可重构电路研究起源于二十世纪八十年代,先后出现了几种商业芯片和多种研究型结构^[4~9].模拟型可重构电路多数为连续时间型电路^[8~12],而离散时间型可重构

模拟电路^[13~15]以仅在离散时刻上变化但幅度仍保持连续的采样信号作为处理对象,用于数模混合电路时具有明显优势.现有的离散时间型可重构模拟电路一般用开关电容技术实现.随着集成电路技术发展,可重构单片混合集成系统也越来越受到青睐,混合型集成电路制造常采用数字 CMOS 工艺.当采用开关电容技术实现可重构模拟电路时,需要集成高质量的线性浮置电容(传统上采用双层多晶硅),与标准数字 CMOS 工艺技术不兼容.开关电流技术是 20 世纪 80 年代末提出的采用数字 CMOS 工艺的模拟取样数据信号处理技术,其发展迅速^[16,17].开关电流电路属于电流模电路,不使用运算放大器和线性浮置电容,具有高速、宽带、低电压、低功

耗、动态范围大等优点.

现有的可重构模拟器件功能有限、灵活性不足、带宽较小,仅适合中低频场合,多功能、高频、低功耗、数模混合集成是模拟可重构电路主要研究方向.本文提出了一种基于电流模取样数据技术的可重构模拟电路,设计了开关电流型可重构模拟单元,设计了新型可编程互连网络.并给出了可重构模拟电路应用实例及结果分析.

2 开关电流型可重构模拟电路设计

2.1 开关电流基本原理

开关电流电路由 MOS 存储管、受时钟控制的开关、电流镜电路构成,利用 MOS 器件栅源间寄生电容的电荷存储效应来实现对电流信号的处理.图 1(a)所示为基本开关电流存储单元($M1$ 实现电流存储),图 1(b)为时钟波形.

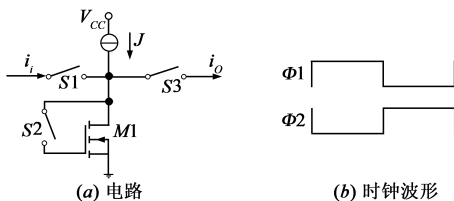


图1 开关电流基本存储单元

开关 $S1$ 、 $S2$ 受时钟 $\Phi1$ 控制, $S3$ 则由 $\Phi2$ 控制. 在时钟 $\Phi1$ 为高电平时(即取样相), 开关 $S1$ 与 $S2$ 闭合、 $S3$ 断开, 则输入电流 i_i 加到偏置电流 J 上, $J + i_i$ 对 $M1$ 管的栅-源寄生电容充电. 当栅源电压 V_{gs} 超过阈值电压 V_T 时, $M1$ 导通, 当栅源寄生电容完全充电后, 有:

$$V_{gs} \approx V_T + \sqrt{\frac{J + i_i}{k' \cdot W/L}} \quad (1)$$

其中 $k' = 0.5\mu C_{ox}$ 为本征导电因子, μ 是载流子迁移率, C_{ox} 是单位面积电容, W/L 是管沟道宽长比.

在 $M1$ 导通后, $J + i_i$ 电流全部流入 $M1$ 漏极. 当时钟 $\Phi2$ 为高电平(即保持相)时, $S1$ 与 $S2$ 断开、 $S3$ 闭合, $M1$ 管栅源寄生电容维持电压 V_{gs} , 使 $M1$ 管漏极电流维持 $J + i_i$, 则有 $i_o = -i_i$, 在 $\Phi2$ 相期间完成对电流 i_i 的存储.

2.2 可重构模拟单元

可重构模拟单元 CAB 是可重构模拟电路的基本功能单元. 在兼顾电路功能及灵活性要求下, 应尽量使 CAB 电路规模小和可编程开关少.

(1) CAB 结构设计

开关电流型 CAB 电路如图 2(a) 所示, 其由八个 NMOS 管和 12 个可编程 MOS 开关构成. 图 2(b) 为 CAB 结构简图, 有电流输入端、电流输出端、电流反馈输出端和两个反相时钟输入端.

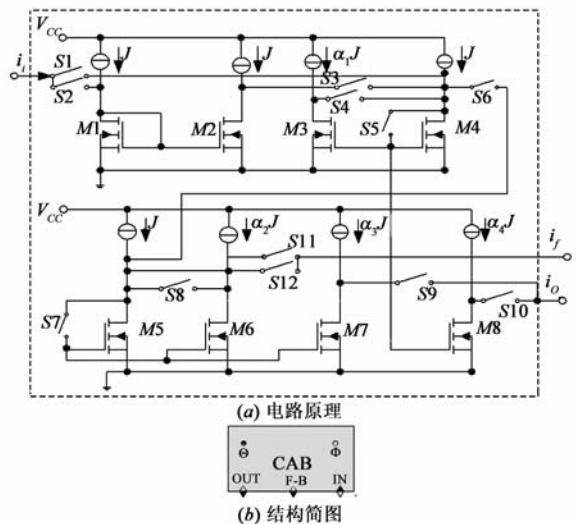


图2 开关电流型可重构模拟单元

CAB 中 $M1$ 和 $M2$ 构成电流反相器, 作用是分离两个采样输入信号, 且将其中一个反相; $M4$ 和 $M5$ 构成改进型开关电流存储单元; $M3$ 、 $M6$ 对 $M4$ 、 $M5$ 构成反馈回路, 对输出电流信号引入衰减(如构成阻尼积分器与微分器); $M7$ 和 $M8$ 构成电流镜, 使输出电流以一定比例输出.

CAB 中可编程开关的作用为: $S1 \sim S3$ 与 $M1$ 、 $M2$ 构成电流反相器为 CAB 输入级, $S4$ 、 $S8$ 分别与 $M3$ 、 $M6$ 构成反馈通路, $S5$ 、 $S7$ 分别与 $M4$ 、 $M5$ 构成存储单元, $S6$ 连接两个基本存储管, $S9$ 、 $S10$ 、 $S12$ 与 $M7$ 、 $M8$ 构成电流镜为 CAB 输出级, $S11$ 是 CAB 反馈输出端的控制开关.

(2) CAB 参数设计

(a) 用 12 位控制字对 12 个 MOS 开关编程, 通过写寄存器来设定 MOS 开关状态.

(b) CAB 中基准电流 J 取 $400\mu A$, 偏置电流系数 $\alpha_1 = \alpha_2 = \alpha_3 = 0.5$, $\alpha_4 = 1$.

(c) PSPICE 仿真采用 HP0.5 μm CMOS 工艺参数. 设计 MOS 管沟道宽长比 W/L (μm)(特别指出除外): $M1$ 、 $M2$ 、 $M4$ 、 $M5$ 为 25/5, $M3$ 、 $M6$ 、 $M7$ 为 12.5/5, $M8$ 为 25/5, MOS 开关为 0.5/0.5.

表 1 单个 CAB 所能实现功能及各编程开关配置状态

可重构实现功能	S1	S2	S3	S4	S5	S6	S7	S8	S9	S10	S11	S12
半周期延迟	$\Phi1$	0	0	0	$\Phi1$	0	0	0	0	C	0	0
全周期延迟	$\Phi1$	0	0	0	$\Phi1$	$\Phi2$	$\Phi2$	0	0	0	0	$\Phi1$
前向欧拉积分	$\Phi1$	0	0	0	$\Phi1$	C	$\Phi2$	0	0	0	C	0
后向欧拉积分	$\Phi1$	0	0	0	$\Phi1$	0	$\Phi2$	0	0	C	0	0
同相阻尼积分	$\Phi2$	0	0	0	$\Phi2$	C	$\Phi1$	$\Phi1$	C	0	0	0
反相阻尼积分	$\Phi1$	0	0	0	$\Phi2$	C	$\Phi1$	$\Phi1$	C	0	0	0
反相阻尼放大	C	0	0	0	$\Phi2$	C	$\Phi1$	$\Phi1$	C	0	0	0
双线性 Z 变换积分	$\Phi1$	C	$\Phi2$	0	$\Phi1$	C	$\Phi2$	0	C	0	0	0
双线性 Z 变换阻尼积分	$\Phi1$	C	$\Phi2$	0	$\Phi1$	C	$\Phi2$	$\Phi2$	C	0	0	0
反相微分	C	0	0	0	$\Phi2$	$\Phi1$	$\Phi1$	0	C	0	0	0

(3) CAB 实现功能分析

通过配置 12 个 MOS 开关状态, CAB 可以实现多种开关电流基本功能模块. 为了便于表示与说明, 用不同的标识符号来表示不同情况下的开关状态: $\Phi 1$ 表示开关在 $\Phi 1$ 相闭合, $\Phi 2$ 表示开关在 $\Phi 2$ 相闭合, C 表示开关总是断开, O 表示开关总是闭合. 表 1 所示为单个 CAB 所能实现的功能及相对应的开关状态.

2.3 可编程互连网络

在设计互连网络结构时, 需保证网络灵活性, 且可编程开关要少, 以避免开关寄生效应对电路性能的影响. 所设计的细粒度型 CAB 可实现灵活的晶体管级重构, 则设计了一种面向开关电流型 CAB 互连的可编程网络结构, 如图 3 所示.

(1) 互连网络结构描述

图 3 所示为 4×2 CAB 规模的可重构模拟电路, 包含 8 个 CAB, 24 个输入/输出端口. 互连网络呈纵横交叉排列, 阵列中心连线为接地线, 网络所有接入导线来自 CAB 输入或输出端口. 每个 CAB 有 2 个输入端和 1 个输出端 (不包括时钟信号端), 相应接入网络的导线数为 3, 则 8 个 CAB 有 24 条线. 网络中全部输入端口对应 8 条水平连线, 全部输出端口对应 16 条垂直连线, 加上中心地线, 则构成 8 行 17 列的纵横交叉互连网络.

(2) 输入输出端口规则

由可编程网络构建的 CAB 互连电路并非都是合理的, 任意组合互连线可能会形成不符合物理定理与功能要求的电路. 因此, 根据输入输出端口属性和互连结构合理性, 定义如下规则:

(a) 端口 1~8 仅为电流信号输入端口.

(b) 端口 10、12、14、16、17、19、21、23 仅为电流信号输出端口.

(c) 端口 9、11、13、15、18、20、22、24 用作电流信号输出反馈, 亦可用于普通电流输出.

(3) 配置数据长度分析

对于 $m \times 2$ 规模的 RAC 阵列, 有 $2m$ 个 CAB, 水平导线数为 $2m$, 垂直导线数为 $4m + 1$, 每个 CAB 配置位是 12 bits, 则阵列配置位长度 L (bit) 为:

$$L = 2m \times (4m + 1) + 2m \times 12 \quad (2)$$

若电路功能越复杂, 则所需 CAB 阵列规模就越大. 可根据电路功能复杂度选取合适阵列规模.

3 应用实例及实验结果分析

在 4×2 CAB 的 RAC 阵列上, 分别重构实现反相阻尼放大器、双线性 Z 变换积分器和三阶巴特沃斯低通

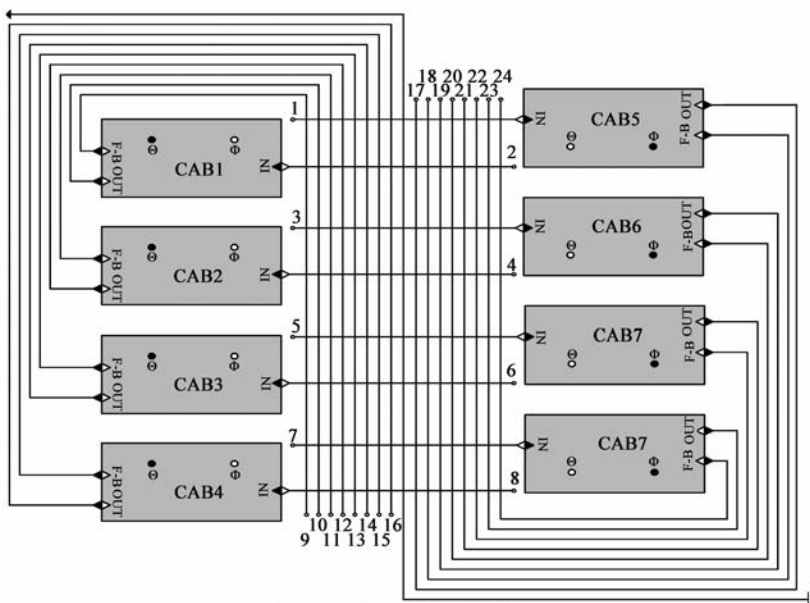


图3 4×2 可编程互连网络结构

滤波器, 通过典型应用实例来验证评估电流型 RAC 用于模拟信号处理的有效性.

3.1 应用实例设计

(1) 反相阻尼放大器

反相阻尼放大器是构成其他复杂开关电流电路的基本模块之一. 分析给出反相阻尼放大器电路 Z 域的传递函数表达式为:

$$\frac{i_o(z)}{i_i(z)} = -\frac{\alpha_2 \cdot (1 - z^{-1})}{1 + \alpha_1} \cdot \frac{1}{1 - \frac{1}{1 + \alpha_1} \cdot z^{-1}} \quad (3)$$

由 CAB 参数 $\alpha_1 = \alpha_2 = 0.5$, 可得实际重构所得的反相阻尼放大器传递函数表达式为:

$$\frac{i_o(z)}{i_i(z)} = -\frac{1 - z^{-1}}{3 - 2 \cdot z^{-1}} \quad (4)$$

(2) 双线性 Z 变换积分器

双线性 Z 变换积分器在开关电流滤波器中应用广泛. 图 5 所示为双线性 Z 变换积分器电路原理, 分析给出其 Z 域的传递函数为:

$$\frac{i_o(z)}{i_i(z)} = \frac{\alpha_2 \cdot (1 + z^{-1})}{1 + \alpha_1} \cdot \frac{1}{1 - \frac{1}{1 + \alpha_1} \cdot z^{-1}} \quad (5)$$

根据 CAB 参数 $\alpha_1 = \alpha_2 = 0.5$, 则实际重构所得双线性 Z 变换积分器 Z 域的传递函数为:

$$\frac{i_o(z)}{i_i(z)} = \frac{3 \cdot (1 + z^{-1})}{6 - 4 \cdot z^{-1}} \quad (6)$$

(3) 三阶巴特沃斯低通滤波器

设计低通滤波器特性参数为: 通带最大衰减 $\alpha_p = 3\text{dB}$, 阻带最小衰减 $\alpha_s = 20\text{dB}$, 截止频率 $\omega_p = 3\text{kHz}$, 阻带最小衰减对应频率 $\omega_s = 7\text{kHz}$. 采用双线性映射积分器

来综合开关电流滤波器,电路如图 6 所示.分析给出其 Z 域传递函数为:

$$H(z) = \frac{0.050 \times (z + 1)^3}{z^3 - 1.150 \times z^2 + 0.700 \times z - 0.135} \quad (7)$$

3.2 仿真实验及结果分析

(1)应用实例重构实现

在 PSPICE 软件中建立了 RAC 阵列中 MOS 管级仿真模型.可编程开关用压控开关模型模拟,当控制电压小于 0.8V 时开关断开,断开电阻 $10^{10}\Omega$;当控制电压大于 3.3V 时开关闭合,闭合电阻 0.1Ω .根据图 4、图 5、图 6 电路,分别对所需 CAB 内部结构(见表 2、表 3、表 4)和可编程互连网络进行配置,布线结构如图 7 所示(其中加粗的黑线代表信号线的导通路径).为了表述清晰,图中只画出了 2×2 CAB 阵列结构.

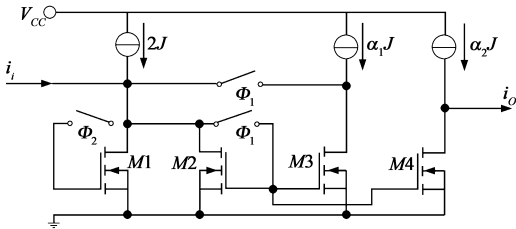


图4 反相阻尼放大器电路

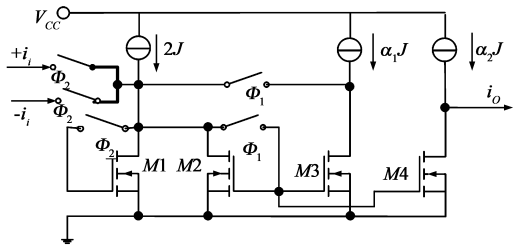


图5 双线性Z变换积分器电路

表 2 重构实现反相阻尼放大器时 CAB 内部开关状态

所需 CAB	S1	S2	S3	S4	S5	S6	S7	S8	S9	S10	S11	S12
CAB3	C	O	O	O	Φ_2	C	Φ_1	Φ_1	C	O	O	O

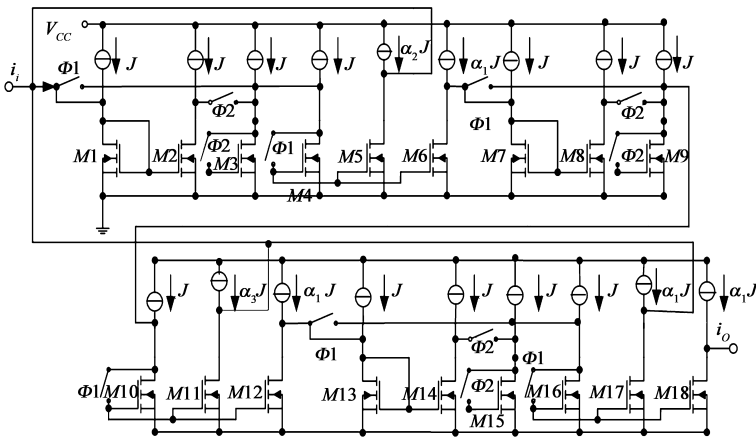


图6 三阶巴特沃斯低通滤波器电路

表 3 重构实现双线性 Z 变换积分器时 CAB 内部开关状态

所需 CAB	S1	S2	S3	S4	S5	S6	S7	S8	S9	S10	S11	S12
CAB1	Φ_1	C	Φ_2	O	Φ_1	C	Φ_2	Φ_2	C	O	O	O

表 4 重构实现三阶巴特沃斯低通滤波器时 CAB 内部开关状态

所需 CAB	S1	S2	S3	S4	S5	S6	S7	S8	S9	S10	S11	S12
CAB1	Φ_1	C	Φ_2	O	Φ_2	O	Φ_1	O	C	O	O	C
CAB2	Φ_1	C	Φ_2	O	Φ_2	O	Φ_1	O	C	O	O	C
CAB4	Φ_1	C	Φ_2	O	Φ_2	O	Φ_1	O	C	O	C	O

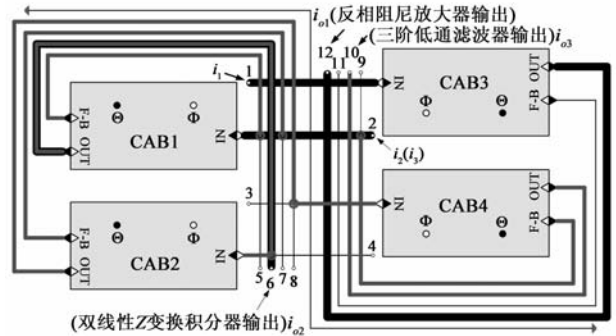


图7 三种应用实例电路的互连网络拓扑结构

(2)仿真结果分析讨论

(a)反相阻尼放大器和双线性 Z 变换积分器

对重构所得的反相阻尼放大器和双线性 Z 变换积分器进行了瞬态分析,其中输入电流 i_i 为正弦波信号(幅度: $100\mu A$, 频率: $1kHz$), Φ_1, Φ_2 两相非重叠时钟频率为 $20kHz$.图 8(a)、8(c)所示为两种电路的瞬态输出响应波形.

为对比分析 PSPICE 仿真结果,又利用 MATLAB 的 SIMULINK 对式(4)、式(6)的 Z 域传递函数进行了理想情况下的系统仿真,图 8(b)、8(d)所示为两种电路的理想输出响应波形.

分析图 8 中相应输出响应可知,反相阻尼放大器和双线性 Z 变换积分器的仿真输出波形与理想输出波形十分接近,表明重构电路正确有效.

(b)三阶巴特沃斯低通滤波器

因开关电流滤波器输入信号是离散时间域的,则通过在不同的频点下逐点仿真可得到滤波器幅频特性(如图 9 所示).仿真实验输入电流 i_i 为正弦波信号(幅度: $50\mu A$, 频率: $0 \sim 7.3kHz$), Φ_1, Φ_2 两相非重叠时钟频率为 $20kHz$.

表 5 为重构所得三阶巴特沃斯低通滤波器特性参数对比,可知仿真实验结果与理论值符合较好,重构所得滤波器电路正确有效.

(c)可重构模拟电路特性分析

以图 4 反相阻尼放大器为例来分析电路动态范围、工作电压和带宽等.仿真模型参数

为: $V_{CC} = 5V$, 参考电流 $J = 920\mu A$, MOS 管栅源极间等效电容为 $10pF$, MOS 管沟道宽长比 $W/L(\mu m)$: 开关管为 $0.5/0.5$, $M1$ 、 $M2$ 为 $25/5$, $M3$ 、 $M4$ 为 $12.5/5$. 时钟频率为 $f_s = 10MHz$. 图 10 为放大器输入/输出电流传输特性, 信号频率为 $1MHz$.

表 5 三阶巴特沃斯低通滤波器特性参数仿真实验值与理论值对比

	ω_p	ω_p 对应 输出幅值	α_s 对应 频率 ω_s	ω_s 对应 输出幅值
理论值	3.00kHz	35.35 μA	7.00kHz	5.00 μA
仿真值	3.33kHz	35.28 μA	7.30kHz	5.16 μA
相对误差	11.0%	0.19%	4.2%	3.2%

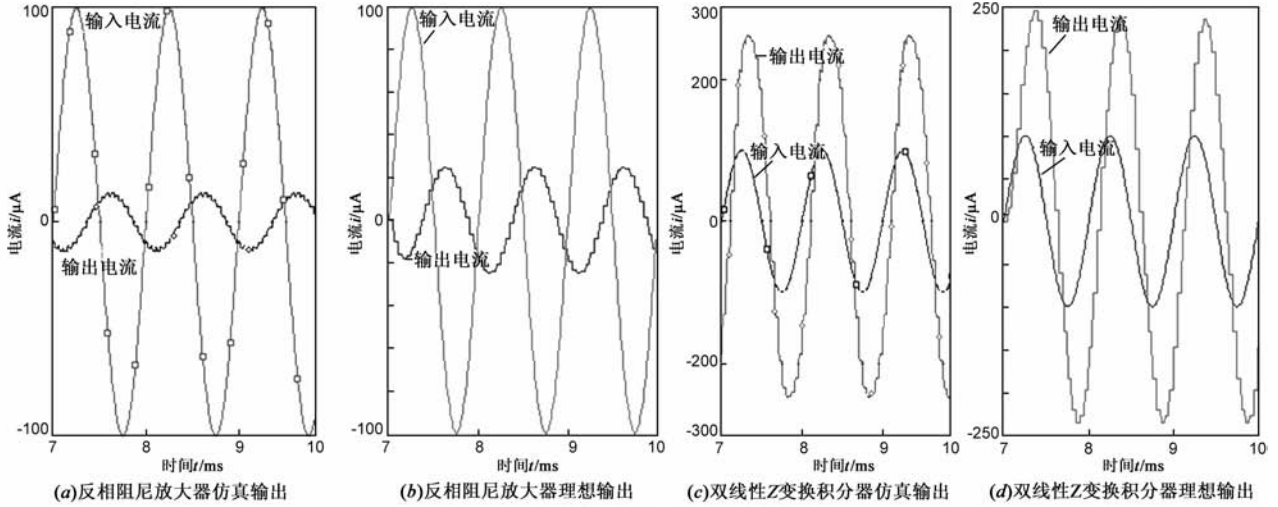


图 8 两种电路瞬态输出响应波形

电流并不需要高的电源电压, 且电路输出接低阻抗节点, 负载上电压降不大, 则电路可以在 $1V$ 电源电压下工作.

表 6 为放大器幅频响应特性, 输入电流幅度为 $100\mu A$. 由表 6 可知, 反相阻尼放大器具有带通特性. 下限截止频率为 $630kHz$, 中心频率 f_0 为 $0.5f_s$, 则带宽为 $8.74MHz$. 带宽 $BW_{0.7}$ 与时钟频率 f_s 成正比.

表 6 输出电流幅度 I_{om} 与信号频率 f 之间关系

f/MHz	0.1	0.2	0.3	0.4	0.5	0.6
$I_{om}/\mu A$	6.21	12.00	17.09	21.36	24.83	27.61
f/MHz	0.62	0.64	0.66	0.8	1.0	1.5
$I_{om}/\mu A$	28.09	28.55	28.99	31.56	34.06	37.23
f/MHz	2.0	2.5	3.0	3.5	4.5	5.5
$I_{om}/\mu A$	38.57	39.22	39.58	39.79	39.98	39.98

常规的可重构模拟电路一般实现放大器、加法器、积分器、有源滤波器等功能, 本文设计方案还能实现乘法器、幅度调制器、数/模转换器等模拟电路功能. 目前常用的 ispPAC 系列可重构芯片的带宽可达 $1MHz$, Anadigm 公司 AN20E40 芯片的带宽能达 $2MHz$. 而新型开关电流型可重构模拟电路带宽明显增大, 且动态范围宽、受电源电压影响小、功能强、与 CMOS 工艺兼容.

4 结论

(1) 提出了一种开关电流型可重构模拟电路, 设计了基于开关电流技术的细粒度可重构模拟单元, 设计了用于 CAB 互连的可编程网络结构. 且应用实例验证了新型可重构模拟电路是有效的.

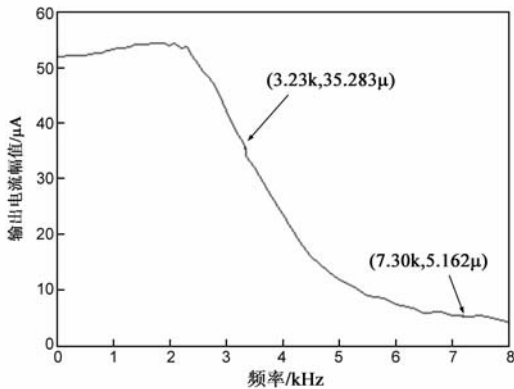


图 9 三阶巴特沃斯低通滤波器的幅频特性

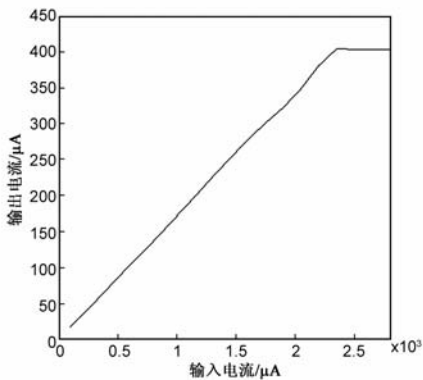


图 10 反相阻尼放大器输入/输出电流传输特性

由图 10 可知, 反相阻尼放大器输出信号无失真时输入电流动态范围为: $[0, 2350\mu A]$, 最大输出电流为 $403.2\mu A$. 该电路的动态范围取决于 MOS 管动态范围, 且不受电源电压限制. 因传输信号是电流, 要得到大的

(2) 开关电流型可重构模拟电路能重构电路拓扑结构及参数, 以实现多种模拟信号处理电路功能或同时实现多个功能的模拟电路。

(3) 与传统的可重构模拟电路相比, 开关电流型可重构模拟电路综合性能佳, 具有很好的发展前景。进一步工作将研究 CAB 电路改进及参数优化、互连网络有效布线、时钟馈通补偿、误差与噪声减小, 以及可重构模拟电路自动设计方法。

参考文献

- [1] Lita I, Visan D A, Cioc I B. FPAA based PID controller with applications in the nuclear domain[A]. ISSE 2009. 32nd International Spring Seminar on Electronics Technology[C]. Czech Republic, May, 2009: 1 - 4.
- [2] D Keymeulen, A Stoica. Self-Reconfigurable Analog Array Integrated Circuit Architecture for Space Applications[A]. FPL 2008. International Conference on Field Programmable Logic and Applications[C]. Heidelberg, Germany, September, 2008: 83 - 90.
- [3] 曹伟, 洪琪, 侯慧, 等. 一种用于 H.264 编解码的新型高效可重构多变换 VLSI 结构[J]. 电子学报, 2009, 37(4): 673 - 677.
Cao Wei, Hong Qi, Hou Hui, et al. A high-performance reconfigurable multi-transform VLSI architecture for H.264 CODEC[J]. Acta Electronica Sinica, 2009, 37(4): 673 - 677. (in Chinese)
- [4] Dadash Z M R, Sidhu T S, Klimek A. FPAA-based MHO distance relay considering CVT transient supervision[J]. IET Generation, Transmission & Distribution, 2009, 3(7): 616 - 627.
- [5] 周萍, 景新幸. 基于现场可编程模拟阵列 FPAA 的音频均衡器设计[J]. 电子学报, 2009, 367(1): 212 - 215.
Zhou Ping, Jing Xin-xing. Design of audio EQ based on field programmable analog arrays [J]. Acta Electronica Sinica, 2009, 367(1): 212 - 215. (in Chinese)
- [6] 马伟伟, 王友仁, 石玉, 等. 基于跨导运算放大器 OTA 的可重构模拟电路及应用设计[J]. 电子与信息学报, 2009, 31(7): 1775 - 1778.
Ma Wei-wei, Wang You-ren, Shi Yu, et al. Reconfigurable analog circuit and application design based on operational transconductance amplifier[J]. Journal of Electronics & Information Technology, 2009, 31(7): 1775 - 1778. (in Chinese)
- [7] Baskaya F, Anderson D V, Sung Kyu Lim. Net-sensitivity-based optimization of large-scale field-programmable analog array (FPAA) placement and routing[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2009, 56(7): 565 - 569.
- [8] 王友仁, 祝鸣涛, 崔江. 面向多功能模拟信号处理的可重构模拟阵列研究[J]. 仪器仪表学报, 2010, 31(6): 1269 - 1275.
WANG Youren, ZHU Mingtao, CUI Jiang. Research on recon-

figurable analog array for multifunctional analog signal processing[J]. Chinese Journal of Scientific Instrument, 2010, 31(6): 1269 - 1275. (in Chinese)

- [9] Youren Wang, Zhiqiang Zhang. The architecture and circuit implementation scheme of a new cell neural network for analog signal processing[J]. Journal of Universal computer science, 2007, 13(9): 1344 - 1353.
- [10] RAY B, CHAUDHURI P P, NANDI P K. Design of OTA based field programmable analog array[A]. Thirteenth International Conference on VLSI Design [C]. Calcutta, India, 2000: 494 - 498.
- [11] LOU J, BERNSTEIN J B. A High Performance Radiation-Hard Field Programmable Analog Array[A]. Proceedings of 5th International Symposium on Quality Electronic Design [C]. California, 2004: 522 - 527.
- [12] S H K Embabi, X Quan. A current-mode based field-programmable analog array for signal processing applications[J]. Analog Integrated Circuits and Signal Processing, 1998, 17(1 - 2): 125 - 142.
- [13] Wang L, Zhang J Y, Huang, J, et al. A field programmable analogue ASIC towards low power processing-on-node BSNs[A]. Sixth International Workshop on Wearable and Implantable Body Sensor Networks[C]. Berkeley, CA, 2009: 213 - 216.
- [14] Mora C, Cosp J. A configurable architecture for implementing sigma-delta modulators[A]. 15th IEEE International Conference on Electronics, Circuits and Systems [C]. St. Julien's, 2008: 434 - 437.
- [15] Lopez J J C, Medina J V. An efficient design approach for high-frequency analog filters using PSoCs or FPAAs [A]. Electronics, Robotics and Automotive Mechanics Conference [C]. Morelos, 2009: 263 - 268.
- [16] Wilson P R, Wilcock R. Fully integrated 533 MHz programmable switched current PLL in 0.012 mm²[J]. Electronics Letters, 2008, 44(22): 1297 - 1298.
- [17] Fakhfakh M, Masmoudi S. Towards a switched current FPAA [A]. ICM 2007 International Conference on Microelectronics [C]. Cairo, Egypt. 29 - 31, 2007: 3 - 6.

作者简介



王友仁 男, 1963 年生, 博士, 教授, 博士生导师。研究方向为电路理论、信号处理、进化硬件、故障诊断预测等。

E-mail: wangyurac@nuaa.edu.cn

祝鸣涛 男, 1985 年生, 南京航空航天大学硕士研究生。研究方向为可重构模拟电路设计。 E-mail: ztm2007@163.com